

# SERIAL MULTIPLEX COMMUNICATION SYSTEM

Publication number: JP5316125

Publication date: 1993-11-26

Inventor: HARADA YOSHIHISA; TANAKA HIROTO

Applicant: TOYOTA CENTRAL RES & DEV; TOYODA  
AUTOMATIC LOOM WORKS

Classification:

- International: H04J3/14; H04L12/40; H04J3/14; H04L12/40; (IPC1-7):  
H04L12/40; H04J3/14

- European:

Application number: JP19920143207 19920507

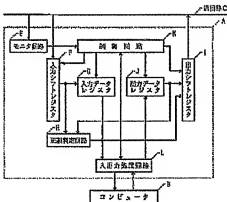
Priority number(s): JP19920143207 19920507

Report a data error here

## Abstract of JP5316125

**PURPOSE:** To reduce a rate of an occupied time of a communication line with respect to a substantial data length and to simplify generation of an error check bit and decision of correctness of reception data by selecting number of error check bits to be smaller.

**CONSTITUTION:** A base band serial multiplex communication system in which a transmission delay time is shorter than one bit period is provided with an input shift register F inputting sequentially serial data on a communication line C, an output shift register I sending sequentially transmission data stored in an output data register J to the communication line C when a transmission request takes place and the communication line C is idle, and a correctness discrimination circuit H comparing the transmission data outputted from the output shift register I with reception data inputted to the input shift register F, deciding match/unmatch between the transmission data and the reception data, superimposing the result of decision onto one bit of a prescribed field of a data frame of the transmission data and sending the result to the communication line C.



Data supplied from the esp@cenet database - Worldwide

特開平5-316125

(43) 公開日 平成5年(1993)11月26日

(51) Int.Cl. <sup>4</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 12/40				
H 0 4 J 3/14	Z	4101-5K 7341-5K	H 0 4 L 11/00	3 2 0

審査請求 未請求 請求項の数2 (全 7 頁)

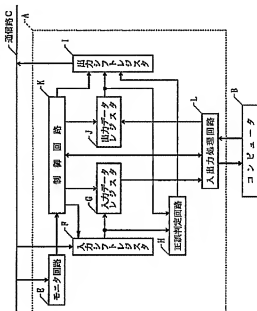
(21) 出願番号	特願平4-143207	(71) 出願人	000003609 株式会社豊田中央研究所 愛知県愛知郡長久手町大字長嶺字横道41番 地の1
(22) 出願日	平成4年(1992)5月7日	(71) 出願人	000003218 株式会社豊田自衛機機製作所 愛知県刈谷市豊田町2丁目1番地
		(72) 発明者	原田 義久 愛知県愛知郡長久手町大字長嶺字横道41番 地の1 株式会社豊田中央研究所内
		(72) 発明者	田中 裕人 愛知県刈谷市豊田町2丁目1番地 株式会 社豊田自衛機機製作所内
		(74) 代理人	弁理士 藤谷 修

(54) 【発明の名称】 シリアル多重通信システム

## (57) 【要約】

【目的】 誤り検出ビットを短くすることで実質的データ長に対する通信路の占有時間の割合を短くすると共に誤り検出ビットの生成及び受信データの正誤判定を簡単にすることである。

【構成】 伝送遅延時間が1ビット周期に比べて短いベースバンドシリアル多重通信システムにおいて、通信路上のシリアルデータを順次入力する入力シフトレジスタFと、送信要求が発生し通信路が空状態の場合には出力データレジスタに格納されている送信データを順次通信路に出力する出力シフトレジスタIと、出力シフトレジスタから出力される送信データと入力シフトレジスタに入力される受信データを比較して送信データと受信データとの一致、不一致を判定し、その判定結果を送信データのデータフレームの所定フィールドの1ビットに乗せて通信路に出力する正誤判定回路Hとを有する。



1

## 【特許請求の範囲】

【請求項1】 複数のノードを接続しデータの伝送されるバス状通信路と、前記通信路に対してデータの出力及び入力を行う通信インタフェース回路とから成り、伝送遅延時間が1ビット周期に比べて短く、前記通信インタフェース回路は前記通信路を常時監視し、送信する必要がある時に通信路が空いているのを確認して通信を開始するCSMA/CD(Carrier Sense Multiple Access/Collision Detection)方式でのシリアル多重通信システムにおいて、

前記通信インタフェース回路は、

前記通信路の状態を監視し、通信路が空状態か否かを判定するモニタ回路と、

前記通信路上のシリアルデータを順次入力する入力シフトレジスタと、

前記入力シフトレジスタに入力された受信データを格納する入力データレジスタと、

前記通信路に出力する送信データを格納する出力データレジスタと、

送信要求が発生し、前記モニタ回路により通信路の状態が空状態と判定された場合には、前記出力データレジスタに格納されている送信データを順次前記通信路に出力する出力シフトレジスタと、

前記出力シフトレジスタから出力される送信データと前記入力シフトレジスタに入力される受信データを比較して送信データと受信データとの一致、不一致を判定し、その判定結果を前記送信データのデータフレームの所定フィールドの1ビットに乘せて前記通信路に出力する正誤判定回路とを有するシリアル多重通信システム。

【請求項2】 前記シリアル通信システムは、複数ノードのうち1つのノードをマスタノードとし残りのノードをスレーブノードとし、データの流れをマスタノードからスレーブノード、スレーブノードからマスタノードに限定したマスタ/スレーブ方式であることを特徴とする請求項1に記載のシリアル多重通信システム。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明はデータの1ビットの周期に比べて伝送遅延時間が無視できるような通信距離が短いシステムにおいて、複数ノード間のデータ通信の信頼性を向上させたシリアル多重通信システムに関する。

## 【0002】

【従来の技術】 近年、自動車においてエレクトロニクスシステムが多用されてきている。これにもないワイヤハーネスの増加は著しく、ハーネス削減のためにシリアルデータをバスバンドで伝送するシリアル多重通信が重要になってきている。

【0003】 バス状通信路を用いたシリアル多重通信システムは、通信路が空状態であることを確認した後、送信データを通信路に出力することが行われている(CS

2

MA/CD)。又、自動車における通信システムは、多雑音環境で使用されるために、雑音によりデータが化ける可能性が大きい。よって、データ通信の信頼性を向上させる方式を開発することが必要となっている。

【0004】 通信データの信頼性をあげるための方法として、データフレームの中に誤り検出用データを付加するCRC(cyclic redundancy check)に代表される方法が一般に用いられている。CRCは誤り検出能力が高いため、自動車内通信においてもCAN(Controller Area Network)を始め、多くの提案システムで採用されている。

## 【0005】

【発明が解決しようとする課題】 自動車用通信システムでは8ビットCRCが一般的に用いられている。この方式では、実質的データ長が数10ビット以上の場合には、オーバーヘッドはそれほど問題にはならない。しかし、実質的データ長が1バイト程度に短くなると、8ビットの誤り検出用ビットを付加することは、オーバーヘッドが大きくなり過ぎ、問題となる。

【0006】 このことは、換言すれば、1つのノードから送信されたデータが他のノードで受信され誤りのないデータと判定されるまでの通信時間の実質的データのビット数に対する割合が長くなることを意味する。自動車用のシリアル多重通信システムでは、データ交換のリアルタイム性が強く要求される。従って、たとえ、通信路の平均的占有率が低くても、1つのノードで送信要求が発生した場合には、短時間でそのデータを必要とするノードに正確なデータが受信されることが要求され、しかも、1回の送信における通信路の占有時間を短くする必要がある。ボーレートを向上させることは、この課題を解決する1つの方法になる。しかし、自動車用システムでは雑音を多く拾うことや、或いは、ラジオに対する雑音源となることから、ボーレートの高速化には限界がある。

【0007】 従って、ボーレートを高速化させずに、上記の課題を解決するためには、誤り検出フィールドを極力短くすると共に、受信データの正誤判定が簡単且つ高速にしかも高信頼性をもって行われる方式を開発することが必要である。又、CRC方式では、CRCの誤り検出ビットを生成し、受信データの正誤判定を行うための回路が複雑になるという問題がある。

【0008】 本発明は上記の課題を解決するために成されたものであり、その目的は、シリアル多重通信システムにおいて、誤り検出ビットを短くすることで実質的データ長に対する通信路の占有時間の割合を短くすると共に、誤り検出ビットの生成及び受信データの正誤判定を簡単にすることである。

## 【0009】

【課題を解決するための手段】 上記課題を解決するための発明の構成は、複数のノードを接続しデータの伝送さ

3

れるバス状態回路と、通信路に対してデータの出力及び入力を行う通信インタフェース回路とから成り、伝送遅延時間が1ビット周期に比べて短く、通信インタフェース回路は通信路を常時監視し、送信の必要が生じた時に通信路が空いているのを確認して通信を開始するCSMA/CD(Carrier Sense Multiple Access/Collision Detection)方式でのシリアル多重通信システムにおいて、通信インタフェース回路を、通信路の状態を監視し、通信路が空状態か否かを判定するモニタ回路と、通信路上のシリアルデータを順次入力する入力シフトレジスタと、入力シフトレジスタに入力された受信データを格納する入力データレジスタと、通信路に出力する送信データを格納する出力データレジスタと、送信要求が発生し、モニタ回路により通信路の状態が空状態と判定された場合には、出力データレジスタに格納されている送信データを順次通信路に出力する出力シフトレジスタと、出力シフトレジスタから出力される送信データと入力シフトレジスタに入力される受信データを比較して送信データと受信データとの一致、不一致を判定し、その判定結果を送信データのデータフレームの所定フィールドの1ビットに乘せて通信路に出力する正誤判定回路とで構成したことである。

【0010】

【作用】本システムでは、あるノードから送信されたデータが他のノードで受信されるまでの遅延時間がデータの1ビット周期に比べて短いような通信路の短いシステムである。換言すれば、このシステムは、通信路上のデータが各通信インタフェース回路でほぼ同時認識される短い通信路のシステムである。したがってデータの衝突、ノイズ等により送信データが通信路上で変化した場合すべてのノード(各通信インタフェース回路)は同じレベルのビットを入力すると考えられる。

【0011】送信ノードにおいて、送信データは出力データレジスタに記憶される。このノードで送信要求が発生し、モニタ回路により通信路がデータの存在しない空状態と判定されると、出力データレジスタの値が出力シフトレジスタに入力され、1ビットづつ順次通信路に出力される。これと同時に、通信路上の信号レベルが順次入力シフトレジスタに読み込まれる。

【0012】そして、出力シフトレジスタから出力される送信データと入力シフトレジスタに入力される受信データとが比較される。正誤判定の対象であるフィールドの全ビットが一致すれば、その後の1ビットの所定フィールドに一致したことを示す値(「0」又は「1」)を乗せて、通信路に出力する。逆に、正誤判定の対象であるフィールドに1ビットでも不一致のビットが存在すれば、その後の1ビットの所定フィールドに不一致であることを示す値(「1」又は「0」)を乗せて、通信路に出力する。

【0013】受信ノードでは、この所定のフィールドの

4

ビットが「0」又は「1」により、受信されたデータが誤りがないデータか誤りのあるデータかを判定することができる。受信データが誤りのないデータであれば、そのまま受信すれば良く、誤りのあるデータであれば、その受信データを破棄すれば良い。送信ノードでは送信データが誤りであった場合には、再送信の処理をすれば良い。

【0014】

【発明の効果】本発明は、伝送遅延時間が1ビット周期に比べて短く、通信インタフェース回路は通信路を常時監視し、送信の必要が生じた時に通信路が空いているのを確認して通信を開始するCSMA/CD方式でのシリアル多重通信システムにおいて、通信インタフェース回路を、通信路上のシリアルデータを順次入力する入力シフトレジスタと、通信路の状態が空状態と判定された場合には、送信データを順次通信路に出力する出力シフトレジスタと、出力シフトレジスタから出力される送信データと入力シフトレジスタに入力される受信データを比較して送信データと受信データとの一致、不一致を判定し、その判定結果を送信データのデータフレームの所定フィールドの1ビットに乘せて通信路に出力する正誤判定回路とで構成したことである。よって、送信ノード側で送信データと受信データとを比較することで、送信データのデータがけ付けたか否かが判定でき、その結果を所定のフィールドの1ビットに乘せて出力できる。従って、送信ノードも受信ノードも簡単な構成でデータの正誤判定ができる。しかも、この情報は1ビットで伝送できるので、データフレームの送信からデータフレームを受信しデータの正誤判定に到るまでの時間が究めて短くなる。

【0015】

【実施例】以下本発明を具体的な実施例に基づいて説明する。

#### 実施例1

本実施例は自動車におけるシリアル多重通信システムに関する。自動車車体の制御部での通信では通信距離は高々20mと考えられるので、その通信路上による通信遅延は約100nsである。一方自動車内通信では通信データ量が比較的小さいので通信速度は1Mbits/sec以下が一般的である。このため最高速度の1Mbits/secを考えても、通信遅延は1ビット周期の1/10となり略無視できる範囲である。即ち、本シリアル多重伝送システムは、通信路上のデータが各通信インタフェース回路でほぼ同時認識される短い通信路のシステムといえる。したがってデータの衝突、ノイズ等により送信データが通信路上で変化した場合すべてのノード(各通信インタフェース回路)は同じデータを入力すると考えられる。

【0016】図1は本システムの全体構成を示している。本システムは複数のノード間のデータ通信であって、各ノードを構成する通信インタフェース回路A:~

5

A<sub>1</sub>と、コンピュータB<sub>1</sub>〜B<sub>n</sub>および、各ノード間のデータ通信を行うバス状の通信路Cとからなる。

【0017】図2は通信インタフェース回路Aの構成をブロックダイアグラムで示したものである。通信インタフェース回路Aは通信路Cを常時モニタし、通信路が空いているか否かを判定するモニタ回路Eと、通信路上のシリアルデータを読み出し入力シフトレジスタDと、シフトレジスタに読み出した受信データを格納する入力データレジスタGと、自ノード送信データと通信路上のシリアルデータを読み出した入力シフトレジスタの内容を比較し通信路上の通信データに誤りがあるかどうか判定する正誤判定回路Hと、通信路にシリアルデータを送出する出力シフトレジスタIと、出力シフトレジスタから送信する送信データを格納する出力データレジスタJと、各構成回路間のデータ入出力を制御する制御回路Kからなる。

【0018】通信路Cは図示しない抵抗を介して正電源にプルアップされており、出力シフトレジスタIの出力段トランジスタはオープンコレクタ構成であり、このコレクタに伝送路が接続されている。従って、通信路Cにデータが存在しない場合には通信路Cの信号レベルはHレベルとなっている。よって、モニタ回路Eは通信路Cのレベルを常時監視しており、Hレベルが継続している場合には通信路Cが空状態と判定される。

【0019】入力シフトレジスタは、制御回路Kから出力される同期信号に同期して、通信路C上の信号レベルを検出して、1ビットずつ順次入力している。図3に示す1データフレームのデータの入力が完了すると、入力シフトレジスタDの値は入力データレジスタGに取り込まれる。そして、入出力処理回路Lを介してコンピュータBに読み取られる。

【0020】尚、図3に示す通信データフレームにおいて、SOMはデータフレームの先頭を示すフィールドである。データIDはデータ送信ノードアドレス、データ受信ノードアドレス、データ番号等のデータに付随する制御信号フィールドである。データは送信すべき実質的情報を含むデータのフィールドである。正/誤はデータ送信ノードが通信路をモニタし、送信データと通信路上データが一致していた場合には正、不一致の場合には誤を書き込むためのフィールドである。EOMはデータフレームの最後を示すフィールドである。なお、この実施例では、誤り制御を1ビットの正/誤のフィールドで示したが、通常のバリディチェックを付加すればより信頼性をあげることが可能となる。

【0021】コンピュータBが送信要求を発生すると、コンピュータBからは出力処理回路Lを介して出力データレジスタに図3に示すデータフレームが書き込まれる。そして、出力データレジスタに書き込まれたデータは出力シフトレジスタIに入力される。モニタ回路Eから通信路Cが空状態であることを示す信号が制御回路K

6

に出力されると、制御回路Kから同期信号が出力シフトレジスタIに出力され、出力シフトレジスタIからは1ビットずつデータが通信路Cに出力される。

【0022】この時、入力シフトレジスタには通信路Cの信号レベルが制御回路Kから出力される同期信号に同期して入力される。図3に示すデータフレームのうちの、SOM、データID、データまでのビット数に対応したビットデータが入力シフトレジスタDに入力されると、正誤判定回路Hによりそれまでの入力されたビットデータと出力データレジスタJに記憶されているそのビット数までのデータの対比が行われる。正誤判定回路Hはデジタルコンパレータで構成すれば良い。この正誤判定回路Hからは両データが一致すれば、「1」、不一致ビットが存在すれば「0」の正誤判定信号が出力される。この正誤判定回路Hから出力される正誤判定信号に応じて出力シフトレジスタIの最上位桁が置換えられ出力シフトレジスタIから1ビットのHレベル又はLレベルの信号が通信路Cに出力される。このビットが図3に示すデータフレームの正誤判定結果を乗せる所定のフィールド(以下、「正誤フィールド」という)に該当する。続いて、出力シフトレジスタからEOMが出力される。

【0023】このように、送信ノードにおいて、出力すべきデータとその出力データが通信路上に出力された状態で、通信路の信号レベルから読み取られた入力データとの対比が行われ、一致していれば、全てのノードで正しいデータが受信されたことと判定できる。一方、入力データと出力データとが一致しなければ、全ての受信ノードで送信ノードで意図したデータと異なるデータが受信されたことを意味する。

【0024】各受信ノードにおいて、この正誤フィールドの値により受信データが正しいかどうかを判定できる。なお、この時正誤フィールドで誤りが発生することも想定されるので、正しい時は、passiveな値を、誤った時はactiveな値を書き込むことにしている。本実施例のように通信路Cを抵抗を介して正電源にプルアップしたシステムでは、Hレベル(正電源電圧)がpassiveな値に対応し、Lレベル(アースレベル)がactiveな値に対応する。もしも、HレベルとLレベルとのデータが衝突すれば、通信路Cの状態はLレベルとなる。換言すれば、Lレベルの方がHレベルよりも優先度が高く、HレベルはLレベルに化ける可能性があるが、LレベルはHレベルに化ける可能性が低いことを意味している。従って、ビットデータが化けて欲しくない方、即ち、データ誤りを示す方をLレベル信号で出力するようにして、より信頼性をあげている。これにより、誤り制御1ビットだけで信頼性の高い通信が実現できる。

#### 【0025】実施例2

図4は、自動車のボディ制御にみられるように、各ノードに要求される制御演算機能が低い場合の実施例の全体構成を示したものである。複数の通信インタフェースA

7

1 ~ A<sub>1</sub> の中で A<sub>1</sub> のみがコンピュータ B<sub>1</sub> と接続されており、他の通信インタフェース A<sub>2</sub> ~ A<sub>n</sub> はコンピュータと接続されることなく直接センサ、スイッチ群の入力を受け通信を行うとともに、他ノードからの通信データを受け取り、直接制御対策を制御する。

【0026】自動車のボディ制御系のように制御機能に対する要求が高くないシステムでは、センサ、アクチュエータ、コントローラ間のシリアル多重通信において、判断・制御機能を一箇所に集中させ、ここに CPU を持ち、これをマスタノードとし、他のノードは単に機械的にデータ送受信を行うスレーブノードとするマスタ/スレーブ方式が安価なシステムを構成できるので望ましい。このような通信システムにおいては、一度に通信するデータビット長は長くないので各データの送信ノードアドレス、受信ノードアドレスを各データに付加するのは効率が悪い。しかも、受信ノードアドレスを各ノードが各データフレーム毎につけるのは制御が大変であり、なんらかのプログラマブル処理あるいは大きなハードウェアが必要となる。そこでマスタ/スレーブ方式において通信をスレーブ→マスタ間、マスタ→スレーブ間の2段階に限定する。スレーブ→マスタ間の通信では、データフレーム受信ノードがマスタノードに固定されている。よって、データフレームにおいて、受信ノードアドレスは1ビットの「0」とし、送信ノードアドレスのみを記載する。又、マスタ→スレーブ間の通信においては、データフレームは送信ノードがマスタノードに固定されている。よって、データフレームにおいて、送信ノ

8

ードアドレスは1ビットの「1」とし、受信ノードアドレスのみを記載する。これにより、データフレームの制御ビットを少なくすることができ、又、スレーブノードで受信ノードアドレスを書く必要がないのでプログラム処理あるいは大きなハードウェアをスレーブノードは必要としない。

【図面の簡単な説明】

【図1】本発明の具体的な第1実施例に係るシリアル多重通信システムの構成を示した構成図。

【図2】第1実施例における通信インタフェース回路の構成を示した回路図。

【図3】第1実施例におけるデータフレームの構造を示した構造図。

【図4】第2実施例に係るシリアル多重通信システムの構成を示した構成図。

【図5】第2実施例におけるデータフレームの構造を示した構造図。

【図6】第2実施例におけるデータフレームの構造を示した構造図。

【符号の説明】

A…通信インタフェース回路

C…通信路

E…モニタ回路

K…制御回路

F…入力シフトレジスタ

I…出力シフトレジスタ

H…正誤判定回路

【図3】

SOM	データID	データ	正/誤	EOM
-----	-------	-----	-----	-----

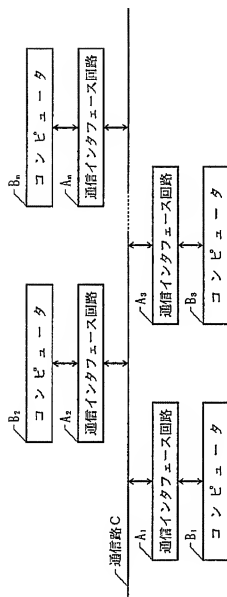
【図5】

SOM	1	送信アドレス	データ	正/誤	EOM
-----	---	--------	-----	-----	-----

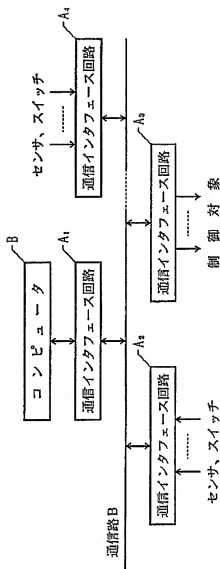
【図6】

SOM	0	受信アドレス	データ	正/誤	EOM
-----	---	--------	-----	-----	-----

【図1】



【図4】



【図2】

